

MESSAGE DE L'EXÉCUTIF

Il nous fait plaisir de porter à votre connaissance les activités de notre centre ainsi que les réussites de ses membres pour le mois de février 2012. Notez d'abord que dans le cadre de nos activités régulières, le 2 février dernier nous tenions notre première rencontre de réseautage de l'année mettant à l'avant scène les travaux de nos membres affiliés à l'Université du Québec à Montréal. Cette activité qui a permis le rapprochement entre les chercheurs du ReSMiQ et des représentants de l'industrie fut un succès comme en témoigne la présence d'une quarantaine de participants. Nous préparons déjà notre prochaine rencontre qui se tiendra à l'Université Concordia le 15 mars prochain. Aussi, afin d'honorer la mémoire du Prof. Hamoui qui nous a quitté prématurément en novembre dernier, ses collègues du ReSMiQ annonce la mise sur pied de la bourse Anas Hamoui. Les modalités du concours seront affichées sous peu sur le site web du ReSMiQ. Quant aux activités scientifiques, notre colloque annuel sera de nouveau organisé dans le cadre du congrès de l'ACFAS et se tiendra au palais des congrès de Montréal le 7 mai prochain. Finalement, notez bien que notre centre célébrera cet été son 25^{ème} anniversaire de fondation. C'est une étape majeure que nous soulignerons de façon significative en mesurant le chemin parcouru depuis l'obtention d'un fond de recherche pour 5 ans par un groupe de travail dans le domaine du design VLSI. Nous vous invitons à participer à ces événements en grand nombre.

Cordialement
M. Sawan, Directeur



Mot de bienvenue par M. Mario Morin, doyen de la faculté des sciences de l'UQAM, lors du 5 à 7 réseautage ReSMiQ du 2 février dernier.

ACTIVITÉS DU RESMIQ

5 à 7 réseautage ReSMiQ

Visite des laboratoires de Concordia le 15 mars à 17h00 à l'université concordia, pavillon EV, salle EV2.260.

[Tous les détails](#)

Message aux membres: nous nous ferons un plaisir de publier vos nouvelles, laissez nous les savoir.

NOUVELLES DES MEMBRES

RAYONNEMENT

Dr. Boukadoum de l'UQAM prononce un discours invité lors du 3rd IEEE Latin American Symposium on CAS, au Mexique.

[Tous les détails](#)

Dr. Sawan de Polytechnique a offert un discours invité aux conférences SEMBA et BIOPRO à Taiwan. [Tous les détails](#)

IMPLICATIONS

Dr. Tahar, de Concordia est le président de la 30^e édition de la conférence ICCD, à Montréal. [Tous les détails](#)

Dr. Peter de Polytechnique est le président de programme de la conférence IEEE Optical MEMS and Nanophotonics 2012, à Banff, Canada. [Tous les détails](#)

RÉUSSITES

Dr. Thibeault de l'ETS a participé à la mise au point d'une technologie pour tester le filage des avions avec la compagnie Technologies Harness Scanner inc. (THS), de Saint-Hubert. [Tous les détails](#)

Dr. Lakhssassi a obtenu une subvention CRSNG-INNOV pour le projet "Attentive Vision Technology for Object Detection in Multimodal Spatiotemporal imagery".

NEWCAS 2012

10^{ème} conférence internationale IEEE NEWCAS
du 17 au 20 juin 2012, Montréal, Canada
www.newcas2012.org

CONFÉRENCES À SURVEILLER

12th International Forum on Embedded MPSoC and Multi-core (MPSoC'12), du 9 au 13 juillet 2012, Québec, Canada.

[Tous les détails](#)

55th IEEE International Midwest Symposium on Circuits and Systems (MWSCAS 2012), du 5 au 8 août 2012, Boise, Idaho, États-Unis. [Tous les détails](#)

XXX IEEE International Conference on Computer Design (ICCD 2012), du 30 septembre au 3 octobre 2012, Montréal, Canada. [Tous les détails](#)

TRAVAUX DE RECHERCHE

Voici quelques unes des réussites en recherche de nos membres.
Ce mois ci, trois contributions majeures vous sont présentées.

1. Safi-Harb, M.; Mirabbasi, S.; **Sawan, M.** A Time-Based Technique for Testing LC-Tank Oscillators, IEEE Transactions on Circuits and Systems—I: Regular Papers, On-line 2012.

This paper describes a new architecture that explores time-based signal-processing concepts for testing LC-tank radiofrequency (RF) oscillator circuits, and in particular, quadrature oscillators, while relying on low-frequency digital test equipment. The proposed system has two inputs that are two step-like signals with a time separation that is externally controlled. The output of the system is an amplified and digitized time separation that is a function of the time separation between the applied input steps and the oscillator output frequency characteristics. Coarse time digitization circuits are used to read the output, from which the frequency of oscillation of the oscillator is deduced. A proof-of concept circuit is designed and fabricated in a standard 0.18- m CMOS process. Experimental results confirm the feasibility of the proposed approach, which is demonstrated in this work with the successful on-chip measurement of 1.5 and 1.7 GHz oscillation frequencies.

2. Zhang, C.; **Wang, C.;** **Ahmad, M. O.** A Pipeline VLSI Architecture for Fast Computation of the 2-D Discrete Wavelet Transform, IEEE Transactions on Circuits and Systems—I: Regular Papers, On-line 2012.

In this paper, a scheme for the design of a high-speed pipeline VLSI architecture for the computation of the 2-D discrete wavelet transform (DWT) is proposed. The main focus in the development of the architecture is on providing a high operating frequency and a small number of clock cycles along with an efficient hardware utilization by maximizing the inter-stage and intra-stage computational parallelism for the pipeline. The inter-stage parallelism is enhanced by optimally mapping the computational task of multi decomposition levels to the stages of the pipeline and synchronizing their operations. The intra-stage parallelism is enhanced by dividing the 2-D

filtering operation into four subtasks that can be performed independently in parallel and minimizing the delay of the critical path of bit-wise adder networks for performing the filtering operation. To validate the proposed scheme, a circuit is designed, simulated, and implemented in FPGA for the 2-D DWT computation. The results of the implementation show that the circuit is capable of operating with a maximum clock frequency of 134 MHz and processing 1022 frames of size 512 \times 512 per second with this operating frequency. It is shown that the performance in terms of the processing speed of the architecture designed based on the proposed scheme is superior to those of the architectures designed using other existing schemes, and it has similar or lower hardware consumption.

3. Hoque, K.A.; **Ait-Mohamed, O.;** **Abed, S.** MDG-SAT: an automated methodology for efficient safety checking International, Journal of Critical Computer-Based Systems, vol. 3, no. 1–2, 2012.

Multiway decision graph (MDG) is a canonical representation of a subset of many-sorted first-order logic. It generalises the logic of equality with abstract types and uninterpreted function symbols. The area of satisfiability (SAT) has been the subject of intensive research in recent years, with significant theoretical and practical contributions. In this paper, we propose a new design verification tool integrating MDG and SAT, to check the safety of a design by invariant checking. Using MDG to encode the set of states provides a powerful mean of abstraction. We use a SAT solver to search for paths of reachable states violating the property under certain encoding constraints. In addition, we introduce an automated conversion-verification methodology to convert a directed formula (DF) into a conjunctive normal form (CNF) formula that can be fed to a SAT solver. The formal verification of this conversion is conducted within the HOL theorem prover. Finally, we present experimental results and a case study to show the correctness and the efficiency of our proposed methodology.